


MOS STATIC RANDOM ACCESS MEMORY

Patent Number: JP54037544
Publication date: 1979-03-20
Inventor(s): HARUBE MITSUO
Applicant(s): SHARP CORP
Requested Patent:  JP54037544
Application Number: JP19770104039 19770829
Priority Number(s):
IPC Classification: G11C11/40; G11C7/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To stabilize operations by preventing the contents of a cell from being broken down by making the difference of the mutual conductance of a digitselecting transistor between a read time and write time.

Data supplied from the esp@cenet database - I2

⑨日本国特許庁
公開特許公報

⑩特許出願公開
昭54—37544

⑪Int. Cl.²
G 11 C 11/40
G 11 C 7/00

識別記号

⑫日本分類
97(7) C 13
97(7) C 101

庁内整理番号
7010—5B
7368—5B

⑬公開 昭和54年(1979)3月20日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭MOSスタティックランダムアクセスメモリ

大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑮特 願 昭52—104039

⑯出 願 人 シャープ株式会社

⑰出 願 昭52(1977)8月29日

大阪市阿倍野区長池町22番22号

⑱発 明 者 治部光男

⑲代 理 人 弁理士 福士愛彦

明 細 書

1. 発明の名称

MOSスタティックランダムアクセスメモリ

2. 特許請求の範囲

1. CMOSからなる2つのインバータをクロス接続し、各インバータとデータ線間に桁選択用のMOSトランジスタを接続してなるランダムアクセスメモリにおいて、上記桁選択用MOSトランジスタのゲートに与える桁選択信号として、セルの内容の読み出し状態と書き込み状態で異なるレベルの信号を印加してなり、セルの内容の破壊を防止したことを特徴とするMOSスタティックランダムアクセスメモリ。

2. 特許請求の範囲第1項において、桁選択信号を形成する桁選択回路にPチャネルMOSとnチャネルMOSの並列回路からなるレベルシフト回路を設け、該レベルシフト回路に書き込み信号及び読み出し信号を入力して導通状態を制御し、異なるレベルの信号を形成することを特徴とするMOSスタティックランダムアクセス

メモリ。

3. 発明の詳細な説明

本発明は、書き込み及び読み出し時におけるセルの内容の安定化を企つたRAM(ランダム・アクセス・メモリ)に関するものである。

第1図に従来のCMOS/セル構造から成るスタティックRAM回路を示す。桁選択線L₁に接続されたNチャネルMOSからなるトランスファゲートT₁、T₁'のゲートに高("1")レベルの信号が与えられると、メモリセルが書き込み或いは読み出し可能な状態に選択され、セルのデータの内容が入出力線L₂、L₂'に読み出されるか或いは書き込みの際には上記入出力線L₂、L₂'に書き込み情報をのせることによつてメモリセル内に"1"或いは"0"の情報が書き込まれる。

ところで上記RAM回路においては、読み出し動作及び書き込み動作のいずれにおいても次のような問題がある。即ち、読み出し時には入出力線L₂、L₂'は通常"高"レベルに充電されているが、このような高レベルの状態でセルの内容を破

要せずに読み出すには、2個のインバータを構成する各MOSトランジスタ T_2 、 T_2' の相互コンダクタンス g_{m2} と上記トランファゲートをなすMOSトランジスタ T_1 、 T_1' の相互コンダクタンス g_{m1} との間に $g_{m2} > g_{m1}$ の条件が必要である。また入出力線 L_2 、 L_2' に“1”或いは“0”の情報を与えてセルに書き込む場合には、インバータを構成する他方のMOSトランジスタ T_2 、 T_2' の相互コンダクタンス g_{m2} とMOSトランジスタ T_1 、 T_1' の相互コンダクタンス g_{m1} との間に $g_{m1} > g_{m2}$ の条件が必要で $g_{m2} > g_{m1} > g_{m2}$ となるように各MOSトランジスタの相互コンダクタンス比を適切に選ばねばならない。

従来のRAM回路においては、各MOSトランジスタの形状、即ちゲートの幅や長さ等の値を適当に設計することによつて相互コンダクタンス比を変化させ、上記のような問題を解決しようとしていた。しかし、上記従来のようにMOSトランジスタの形状によつて改善しようとする場合、回路設計に対する自由度が減少し、またセルの占有

面積に制限が生じてサイズの減少及び高密度化が阻止されるばかりでなく、書き込み時にはセルの内容が反転するまでの期間、直流電流を流さねば書き込みが完了しないため消費電力の増大をきたす欠点があつた。

本発明は上記従来回路の問題点に鑑みてなされたもので、桁選択用MOSトランジスタの相互コンダクタンス g_m を読み出し時と書き込み時で変化させることにより、セルの内容の破壊を防いで書き込み及び読み出し動作の安定を企てるものである。即ち、桁選択用MOSトランジスタのゲートに与えられる桁選択用MOSトランジスタのオン抵抗を変化させて相互コンダクタンス比を変化させるもので、次に図面を用いて本発明の実施例を詳細に説明する。

第2図に於て、ブロックノはマトリックス状に配置されたRAMを構成するノつのメモリセルで、CMOS構造からなるインバータ2個をクロスに接続し、各インバータの入出力部にセル選択用のMOSトランジスタ T_{11} 、 T_{11}' が接続された6

MOSトランジスタ構造から成っている。上記MOSトランジスタ T_{11} 、 T_{11}' のゲートには、桁選択デコード2から出力される書き込み及び読み出しの夫々の動作状態によつてレベルの異なる桁選択信号が選択線 L_1 から与えられ、ソースには書き込み回路3からデータ線D、 \bar{D} に出力された書き込み信号が与えられる。

上記桁選択デコード2は、例えば中央演算処理装置等から桁選択指令信号 \bar{A}_1 、 \bar{A}_2 及びタイミング信号 $\phi_r + \phi_w$ が入力されたナンドゲートから構成されており、更に該ナンドゲートと電源の接地レベル間に、PチャネルMOSトランジスタ T_{21} とnチャネルトランジスタ T_{22} の並列接続された回路からなるレベルシフト用のMOSトランジスタが接続されている。上記PチャネルMOSトランジスタ T_{21} のゲートには第3図に示すような読み出し/書き込み信号R/Wが与えられてオン・オフが制御されnチャネルMOSトランジスタ T_{22} のゲートは接地レベルに保たれて常にオン状態にある。

ここでPチャネルMOSトランジスタのスレッシュ・ホールド電圧を V_{THP} 、nチャネルMOSトランジスタのスレッシュ・ホールド電圧を V_{THN} として、まず上記桁選択デコード2の動作を説明する。尚信号“0”は- V ボルト、信号“1”は0ボルトとして説明する。

タイミング信号 $\phi_r + \phi_w = "0"$ 及び桁選択指令信号 \bar{A}_1 、 $\bar{A}_2 = "0"$ の状態では桁選択線 L_1 が選択されたことになり、選択信号“1”が出力されるが、読み出し/書き込み信号R/W = /の状態ではPチャネルMOSトランジスタ T_{21} はオフ状態となり、常時オン状態のnチャネルMOSトランジスタ T_{22} によつて、桁選択線 L_1 に出力される信号のレベルは $(0 - |V_{THN}|)$ ボルトとなり、接地レベルからnチャネルMOSトランジスタ T_{22} のスレッシュ・ホールド電圧 V_{THN} だけシフトした信号が出力される。一方上記のように桁選択線 L_1 が選択された状態で読み出し/書き込み信号R/W = 0が与えられると、PチャネルMOSトランジスタ T_{21} がオン状態に遷移し、桁選択線

L_1 の信号レベルは0ボルトとなる。即ち $R/W = "0"$ の書き込み時には桁選択線 L_1 には0ボルトの信号が出力されるのに対して $R/W = "1"$ の読み出し時には $(0 - 1 V_{THN})$ ボルトシフトした信号が出力される。このような桁選択線 L_1 上に出力された信号はMOSトランジスタ T_{11} 、 T_{11}' のゲートに与えられ、該MOSトランジスタ T_{11} 、 T_{11}' は夫々与えられた信号レベルに対応するオン抵抗を呈してデータ線上の \bar{D} 、 D 点をメモリセルに接続する。

ここで D (\bar{D}) 点に、後述する書き込み回路 J から与えられる $-V$ ボルトの書き込み信号が与えられると、セル内のインバータにおける R (R') 点の電位と桁選択用MOSトランジスタ T_{11} (T_{11}') の n チャネルに流れる電流との間には、桁選択線 L_1 の信号レベルによつて第4図に示すような関係を生じる。即ち本実施例ではトランスファゲートが n チャネルMOSトランジスタで構成されていることから、桁選択線 L_1 上の信号レベルが $(0 - 1 V_{THN})$ ボルトである読み出し状態で

曲線 I_R 、信号レベルが0ボルトである書き込み状態で上記 I_R より高いチャネル電流の曲線 I_w を示す。ここでセルの内容が例えばMOSトランジスタ T_{12} (T_{12}') がオンしているとすれば、 R 点の電位とMOSトランジスタ T_{12} を流れる電流との間には第4図に曲線 I_P で示すような関係となり、上記 I_R 及び I_w との交点 V_H 或いは V_L が動作状態における R 点の電位となる。従つて、読み出し状態では R (R') 点電位は $1 V_H$ ボルト程度となり、上記MOSトランジスタ T_{12} (T_{12}') のオン状態、即ち R (R') 点の高レベル状態が破壊されずに読み出される。また書き込み状態では、セルの内容がMOSトランジスタ T_{12} (T_{12}') のオン状態、即ち R (R') 点が高レベルにあつても、トランスファゲート T_{11} (T_{11}') がオンすると第4図から明らかなように R (R') 点電位は $1 V_L$ ボルトに低下し、セル状態が反転して情報書き込みが成される。

MOSトランジスタ T_{13} (T_{13}') がオンしているようなセル状態の場合も同様に読み出しと書き込

みでオン抵抗が異なるトランスファゲートに制御されてセルの内容を破壊することなく夫々の動作が行われる。

第3図においてデータ線の D (\bar{D}) 点と接地レベル間に容量 C_1 、 C_1' が接続され、書き込み回路 J から出力された書き込み情報を蓄える。書き込み回路 J には書き込み信号 $\bar{D}IN$ が入力され、書き込みタイミング信号 ϕ_w 、 $\bar{\phi}_w$ がゲートに入力された n チャネルMOSトランジスタ T_{15} 及び p チャネルMOSトランジスタ T_{16} で書き込み時における電流パスを遮断状態に制御して消費電力の低減を企てている。

上記データ線 D 側にはデータ導出のための読み出し用インバータ Q が接続され、データ線 D 上に読み出された信号によつてインバータ Q のゲートが制御され、 $"1"$ 或いは $"0"$ の信号が出力される。尚本実施例においてはデータ線 D 側からのみ読み出し情報を導出するため、高レベルの状態がトランスファゲート T_{11} のスレッシュ、ホールド電圧 V_{THN} 分レベルシフトすることになるが、これ

を補正するためデータ線 D に p チャネルMOSトランジスタ T_{14} を接続して高レベルとなるように予め放電させる。

以上本発明のように、セルを選択するための桁選択用MOSトランジスタのゲートに与える信号のレベルを読み出し時と書き込み時で変化させることにより、従来のようにRAMを構成するMOSトランジスタの形状を相互コンダクタンス比が適当になるように設計する必要がなく、回路設計が極めて簡単になり、動作の信頼性を高めると共に素子の高密度化を企てることができる。

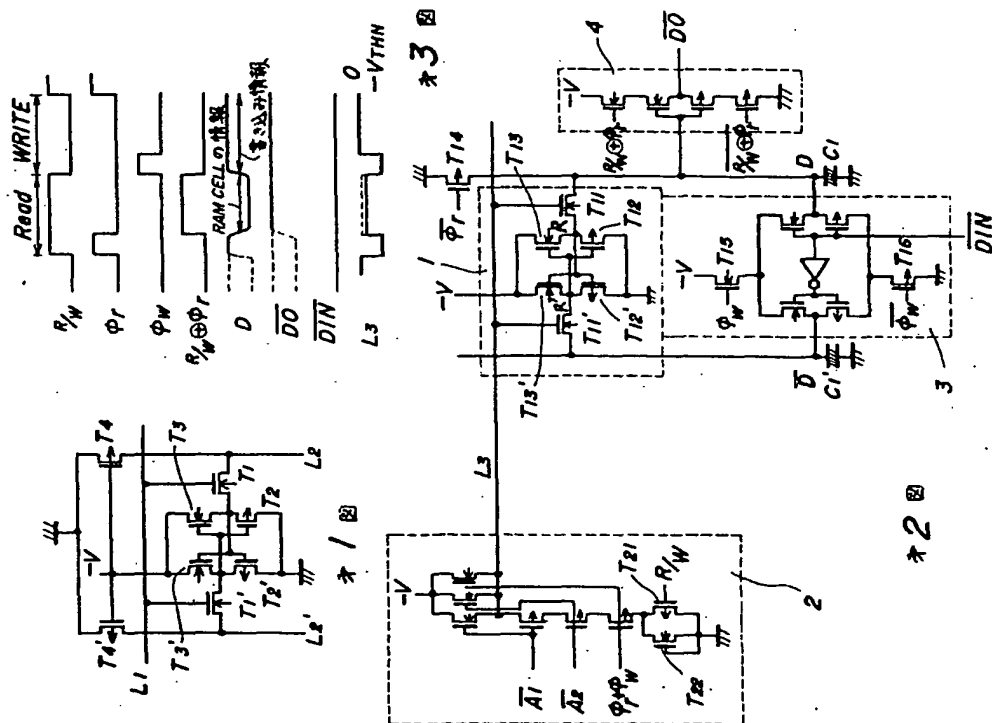
4. 図面の簡単な説明

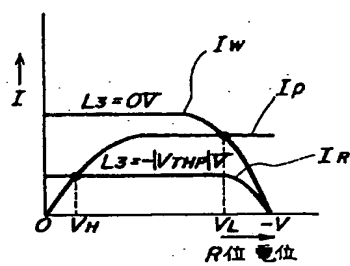
第1図は従来のRAMセルを示す回路図、第2図は本発明による実施例を示す回路図、第3図は同実施例の信号波形図、第4図は同実施例の R 点電位とチャネル電流の関係を示す図である。

1...セル、2...桁選択デコード、3...書き込み回路、4...読み出し回路、 T_{11} 、 T_{11}' ...桁選択用MOSトランジスタ、 L_1 ...桁選択線、 D 、 \bar{D} ...データ線、 C 、 C' ...容量、 R/W ...読

み出しノ書き込み信号、 T_{m} 、 T_{w} …レベルシ
フト用MOSトランジスタ

代理人 弁理士 橋 本 愛 彦
橋 本 公 士





* 4 図

